

- # 21
IDS

[Translation]

(19) Japanese Patent Office (JP)

(11) Japanese Patent Application Kokai Publication No. Sho 58 [1983] -90728

(12) Official Gazette for Kokai Patent Applications (A)

(43) Kokai Publication Date: May 30, 1983

(51) Int. Cl. ³	Identification No.	JPO File No.
H01L 21/20		7131-5F
G03F 9/00		7267-2H

(total 4pages [original])

(54) Title of the Invention: POSITIONING MARK ON SEMICONDUCTOR WAFER AND THE MANUFACTURE THEREOF

(21) Application No. S561981J-188564

(22) Filing Date: November 25, 1981

(72) Inventor: **KINOSHITA, Hiroo**

c/o Nippon Telegraph and Telephone Public Corporation Musashino Telecommunications Laboratory

3-9-11 Midori-cho Musashino-shi

(72) Inventor: **ONO, Toshiro**

c/o Nippon Telegraph and Telephone Public Corporation Musashino Telecommunications Laboratory

3-9-11 Midori-cho Musashino-shi

(71) Nippon Telegraph and Telephone Public Corporation

(74) Agent: Masaharu Tanaka, patent attorney

SPECIFICATION

1. Title of the Invention

Positioning Mark on Semiconductor Wafer and the Manufacture Thereof

2. Claims

1. A positioning mark on a semiconductor wafer, characterized by the fact that at least two regions, a first region and a second region, wherein a plurality of fine indentations having an arc-shaped cross-sectional form are arranged in specified positions on the main face of a semiconductor wafer, are formed and arranged in a relation such that a third region which is flat and extends in a linear direction is retained therebetween.

2. A method for manufacturing a positioning mark on a semiconductor wafer, characterized as comprising: a step wherein an etching mask layer is formed having a pattern wherein at least two mask layer parts, a first part and a second part, in which a plurality of fine windows are formed, are

sectional form are arranged in specified positions of the main surface of said semiconductor wafer,

so as to retain a third region extended flat in a linear form therebetween by the anisotropic etching treatment of said semiconductor wafer using said etching mask layer.

3. A method for manufacturing a positioning mark on a semiconductor wafer according to claim 2, said method of manufacturing a positioning mark on a semiconductor wafer further characterized by the fact that said anisotropic etching treatment is a plasma etching treatment.

3. Detailed Description of the Invention

When a desired pattern is added to the main face of a semiconductor wafer, or a semiconductor region having a specified pattern is formed within a semiconductor wafer, or a required layer having a required pattern is formed on a semiconductor wafer, a mask having the required pattern is formed on a semiconductor wafer. This mask is normally formed by forming a layer of the materials to form the mask on the semiconductor wafer; forming a filter resist layer on this material layer; performing exposure on this photoresist layer using an exposure mask having a specified pattern; next forming a mask having the desired pattern by means of this photoresist by performing a development treatment on the photoresist layer that has been exposed; then obtaining the mask by the etching treatment of the aforementioned material layer which forms the mask; or by using the aforesaid material layer that forms the mask as a photoresist, performing exposure using the exposure mask having a desired pattern on this photoresist, and then performing an exposure treatment on the photoresist layer that has been exposed. It should be noted that, when a mask having the desired pattern is formed on the semiconductor wafer using an exposure mask as described above, relative positioning between the semiconductor wafer and the exposure mask is required, and positioning marks on the semiconductor wafer have been necessary.

The present invention concerns these necessary positioning marks on the semiconductor wafer, and a method of forming the same.

Heretofore, such positioning marks on a semiconductor wafer have included those in which the edge of an oxidation film affixed to the semiconductor wafer is used as a positioning mark, those in which grooves which are formed on the semiconductor wafer are used as positioning marks, those in which through-holes drilled through the semiconductor are used as the positioning mark, and so forth.

When the positioning mark is one which uses the end of an oxidation film adhering to the semiconductor wafer or one which uses grooves formed in the semiconductor wafer, before the mask having the necessary pattern is formed on the semiconductor wafer using an exposure mask, a film such as a semiconductor film or metallic film is formed on the semiconductor wafer, or if a thermal oxidation treatment, etching treatment, or the like is performed on the semiconductor wafer, the positioning mark can be damaged, the contrast of the positioning mark reduced, and positioning marks having degraded S/N can be formed.

Moreover, if the positioning mark is one which uses a through-hole passing through the semiconductor wafer, and the aforesaid treatment is performed before forming the mask having the required pattern using an exposure mask on the semiconductor wafer, the through-hole used as the positioning mark can be filled in by other materials, the edge of the through-hole can be damaged, and positioning marks having degraded S/N have been formed.

Fig. 1 and Fig. 2 show an example of a positioning mark on a semiconductor wafer in accordance

with the present invention. At least two regions, a first region and a second region 4 and 5, on which a plurality of fine indentations 3 have an arc-shaped cross-sectional form are arranged on the main face 2 of the semiconductor wafer 1, are arranged in a relation such that a third region 7 which forms a flat state 6 extending in a linear direction therebetween is retained. In this case, the plurality of fine indentations 3 are extended contiguously in a linear pattern.

The foregoing is one structural example of a positioning mark on a semiconductor wafer according to the present invention, and positioning marks having such a structure can be made as described below with respect to Figure 3.

Specifically, a mask material layer 21 composed of a material such as thermal oxidation film or nitridation film is formed to a thickness of 5,000 Å, for example, by publicly known method on the main face 2 of a semiconductor wafer 1 (Fig. 3A) which has been obtained in advance (Fig. 3B); next, at least two mask layer regions, a first region 23 and second region 24, on which a plurality of fine windows 22 are arranged on the mask material layer 21, are formed in a relation such that a part 25 which extends in a linear direction is retained, and the etching mask layer 26, which is a photoresist material having the pattern thus obtained, is formed by a publicly known photolithographic process (Fig. 3C).

Next, by performing etching treatment on the mask material layer 21 having the etching mask layer 26 as a mask, a first and second mask layer region 28 and 29, on which a plurality of fine windows 27 are formed corresponding to the etching mask layer 26, are arranged in a relation such that a part 30 extending in a linear direction is retained, an etching mask layer 31 having the pattern is formed thereby, and next the mask layer 26 is removed (Fig. 3D).

Next, plasma etching treatment is performed by an anisotropic etching treatment on the semiconductor wafer 1 which uses the etching mask layer 31 as a mask, the positioning marks described in Fig. 1 and Fig. 2 are thereby formed (Fig. 3E), then the mask layer 31 is removed from the semiconductor wafer 1, and in this way the desired positioning marks shown in Fig. 1 and Fig. 2 are obtained (Fig. 3).

The foregoing was a clear working example of the positioning marks and method of manufacture thereof in accordance with the present invention. However, depending upon the positioning marks shown in Fig. 1 and Fig. 2 in accordance with the present invention, since the fine indentations 3 on the first and second regions 4 and 5 have an arc-shaped cross-sectional form (an arc-shaped cross-section of a circle having a diameter having about 1-5 micrometers), direct reflection is eliminated by these fine indentations 3. However, direct reflection occurs on the flat face 6 in the third region 7, accordingly having the function of positioning marks with a high level of contrast, and these positioning marks characteristically lack the defects described with respect to conventional positioning marks in the previous section.

Moreover, by means of the manufacturing method for positioning marks shown in Fig. 3, the present invention offers the major characteristic of being able to obtain positioning marks with the characteristics described above through the extremely simple steps described above.

The foregoing is one example of the present invention, and as shown in Fig. 4 and Fig. 5, four regions, regions 41, 42, 43 and 44 can be formed in the same way as the first and second regions 4 and 5 in Fig. 1 and Fig. 2, and a region 45 which perpendicularly intersects in the form of a cross in

Fig. 1 and Fig. 2 are a schematic plan view and a lateral cross-sectional view showing an example of the present invention, Fig. 3 is a cross-sectional view of an example showing the manufacturing method thereof, and Fig. 4 and Fig. 5 are schematic plan view and a cross-sectional view of another example of the present invention.

Japan Telegraph and Telephone Public Corporation
Patent Attorney: Masaharu Tanaka

CLIPPEDIMAGE= JP358090728A
PAT-NO: JP358090728A
DOCUMENT-IDENTIFIER: JP 58090728 A
TITLE: MARK FOR ALIGNMENT ON SEMICONDUCTOR WAFER AND
MANUFACTURE THEREOF

PUBN-DATE: May 30, 1983

INVENTOR-INFORMATION:

NAME

KINOSHITA, HIROO
ONO, TOSHIRO

ASSIGNEE-INFORMATION:

NAME

NIPPON TELEGR & TELEPH CORP <NTT>

COUNTRY

N/A

APPL-NO: JP56188654

APPL-DATE: November 25, 1981

INT-CL_(IPC): H01L021/30; G03F009/00

ABSTRACT:

PURPOSE: To form an alignment mark havng a large contrast,
by interposing a
region defined by a flat surface between regions where a
multiplicity of minute
cavities each having a circular cross section are arranged.

CONSTITUTION: At a predetermined position on a main surface
2 of a
semiconductor wafer 1, at least two regions 4 and 5 are
formed each of which
has a multiplicity of minute cavities 3 arranged therein.
In addition, a region
7 defined by a linearly elongated flat surface 6 is
disposed between the
regions 4, 5. In this case, the minute cavities 3 are
linearly elongated
adjacently to each other. Such an alignment mark has no
regular reflection at

having a large contrast.

COPYRIGHT: (C)1983,JPO&Japio

⑪ 特許出願公開

12 公開特許公報 (A)

昭58—90728

⑤ Int. Cl.³
H 01 L 21/30
G 03 F 9/00

識別記号

厅内整理番号
 7131-5F
 7267-2H

④公開 昭和58年(1983)5月30日

発明の数 2
審査請求 有

(全 4 頁)

④半導体ウェファ上の位置合せ用マーク及びその製法

研究所内

⑦2発 明 者 小野俊郎

武蔵野市緑町3丁目9番11号日
本電信電話公社武蔵野電気通信
研究所内

②特 願 昭56—188654

出願 昭56(1981)11月25日

⑦発明者 木下博雄

武蔵野市緑町3丁目9番11号日
本電信電話公社武蔵野電気通信

⑦出 願 人 日本電信電話公社

⑦代理人 弁理士 田中正治

明 祖 審

1. 発明の名称 半導体ウエハ上の位置合せ
用マーク及びその製法

2. 特許請求の範囲

1. 半導体ウエハ上の主面上の所定の位置に、円弧状断面を有する多数の微小窪みの配列されてなる少なくとも2つの第1及び第2の領域が、それ毎間に直線状に延長せる平らな面である第3の領域を残した関係で配列形成されてなる事を特徴とする半導体ウエハ上の位置合せ用マーク。

2 半導体ウエハ上の主面上の所定の位置に、多数の微小窓の配列されてなる少なくとも2つの第1及び第2のマスク層部が直線状に延長

小窪みの配列されてなる第1及び第2の領域が、それ等間に直線状に延長せる平らな面である第3の領域を残した關係で配列形成されてなる位置合せ用マークを形成する工程とを含むことを特徴とする半導体ウエハ上の位置合せ用マークの製法。

3. 特許請求の範囲第2項所載の半導体ウエハ上の位置合せ用マークの製法に於て、上記特許的エッチング処理が、プラズマエッチング処理であることを特徴とする半導体ウエハ上の位置合せ用マークの製法。

3 発明の詳細な説明

半導体ウエハの主面を所望のパターンに加
工したり、半導体ウエハ内に所望のパターン

配半導体ウエハに対する等方的エンテング
処理により、上記半導体ウエハの主面上の
表面に、高反射率を有する多層膜を形成

、この場合の温度、半導体の抵抗値は所望の
パターンを有するマスクが形成される。このマ
スクは、通常、このマスクとなる材料層を半導
体上に形成し、形成し、その材料層を除去する

レジスト層を形成し、そのフォトレジスト層に対し所望のパターンを有する露光用マスクを用いての露光をなし、次にその露光されたフォトレジスト層に対し現像処理をなしてそのフォトレジスト層による所望のパターンを有するマスクを形成し、然る後そのマスクをマスクとせる上述せる材料層に対するエッチング処理をなすことにより得たり、上述せるマスクとなる材料層をフォトレジスト層とし、そのフォトレジスト層に対し所望のパターンを有する露光用マスクを用いての露光をなし、然る後その露光されたフォトレジスト層に対する現像処理をなすことにより得たりし得る。

所で、斯く露光用マスクを用いて半導体ウエフア上に所望のパターンを有するマスクを形成する場合、半導体ウエフアと露光用マスクとの間の相対的位置合せを要し、この為半導体ウエフア上に位置合せ用マークが必要とされる。

本発明は、斯る必要の為の半導体ウエフア上の位置合せ用マーク及びその製法に関する。

している場合、半導体ウエフアに露光用マスクを用いて所望のパターンを有するマスクを形成する前に上述せる処理をなした場合、その位置合せ用マークとしての貫通孔が他の材料によつて埋れたり、貫通孔の端が欠損したりしてB/Nの劣化せる位置合せ用マークとなる欠点を有していた。

依つて本発明は上述せる欠点のない新規半導体ウエフア上の位置合せ用マーク及びその製法を提案せんとするもので、以下詳述する所より明らかとなるであろう。

第1図及び第2図は本発明による半導体ウエフア上の位置合せ用マークの一例を示し、半導体ウエフア1の主面2上の所定の位置に、円弧状の溝部21を多数配列する。

、溝部21は、直線状の溝部22と異なり、円弧状の溝部21を多数配列する。この場合、溝部21は、直線状の溝部22と異なり、円弧状の溝部21を多数配列する。

新規半導体ウエフア上の位置合せ用マークとして従来、半導体ウエフアに附された酸化膜の端部を位置合せ用マークとせるもの、半導体ウエフアに施された溝を位置合せ用マークとせるもの、半導体ウエフアに穿設せる貫通孔を位置合せ用マークとせるもの等が提案されている。

然し乍ら、位置合せ用マークが、半導体ウエフアに附された酸化膜の端部を位置合せ用マークとせるもの、半導体ウエフアに施された溝を位置合せ用マークとせるものとしている場合、半導体ウエフア上に露光用マスクを用いて所望のパターンを有するマスクを形成する前に、半導体ウエフアに半導体膜や金属膜等が形成されたり、半導体ウエフアに対する熱処理、エッチング処理等がなされたりした場合、位置合せ用マークが損傷したり、位置合せ用マークのコントラストが低下してB/Nの劣化せる位置合せ用マークとなつたりする欠点を有していた。

又位置合せ用マークが、半導体ウエフアに穿設せる貫通孔を位置合せ用マークとせるものと

以上が本発明による半導体ウエフア上の位置合せ用マークの一例構成であるが、斯る構成を有する位置決め用マークは、第3図につき以下述べる様にして製ることができるものである。

即ち予め得られた半導体ウエフア1(第3図A)の主面2上に、例えば酸化膜、窒化膜等のマスク材層21をそれ自体は公知の方法によつて例えば5000Åの厚さに形成し(第3図B)、次にそのマスク材層21上に多数の微小窓22の配列されてなる少くとも2つの第1及び第2のマスク層部23及び24が直線状に延長せる部25を残した関係で配列されてなるパターンを有するフォトレジスト材でなるエッチング用マスク層26を、それ自体は公知のフォトレジスト材を用いて形成する。第3図Cは、エッチング用マスク層26を形成した後の状態を示す。

、エッチング用マスク層26を形成した後の状態を示す。第3図Dは、エッチング用マスク層26を形成した後の状態を示す。第3図Eは、エッチング用マスク層26を形成した後の状態を示す。

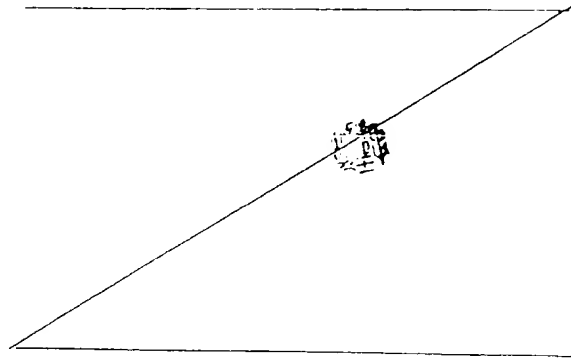
マスク層部 28 及び 29 が直線状に延長せる部 30 を残した状態で配列されてなるパターンを有するエッチング用マスク層 31 を形成し、次にマスク層 26 を除去する（第 3 図 D）。

次にエッチング用マスク層 31 をマスクとせる半導体ウエハ 1 に対する等方的エッチング処理としてのプラズマエッチング処理をなし、斯くて第 1 図及び第 2 図にて上述せる位置合せ用マークを形成し（第 3 図 E）、然る後マスク層 31 を半導体ウエハ 1 上より除去し、斯くて目的とせる第 1 図及び第 2 図に示す位置合せ用マークを得る（第 3 図 F）。

以上にて本発明による位置合せ用マーク及びその製法の実施例が明らかとなつたが、本発明による第 1 図及び第 2 図に示す位置合せ用マークによれば、第 1 及び第 2 の領域 4 及び 5 に於ける微小窪み 3 が円弧状断面（直径 1 ～ 5 μ m 程度の円の円弧状断面）を有するので、その微小窪み 3 での正反射がなく、然し乍ら第 3 の領域 7 に於ける平らな面 6 での正反射を有し、従

つてコントラストの大なる位置合せ用マークとして機能し、そしてその位置合せ用マークは冒頭にて前述せる従来の位置合せ用マークに伴うが如き欠点を有しないという特徴を有するものである。

又本発明による第 3 図に示す位置合せ用マークの製法によれば、上述せる如く極めて簡易な工程で上述せる特徴ある位置合せ用マークを容易に得ることができる大なる特徴を有するものである。

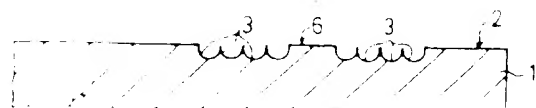
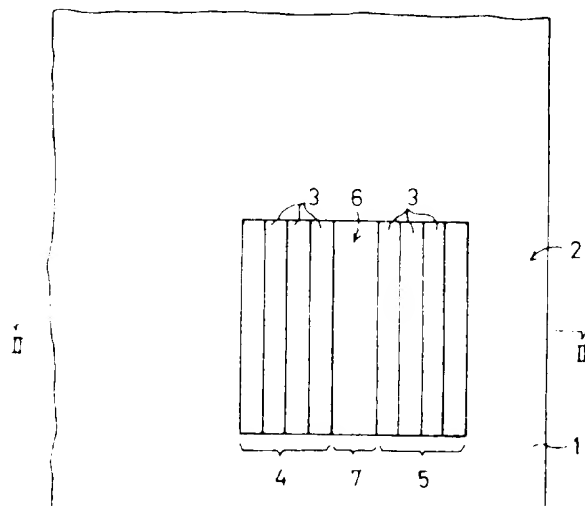


第 1 図

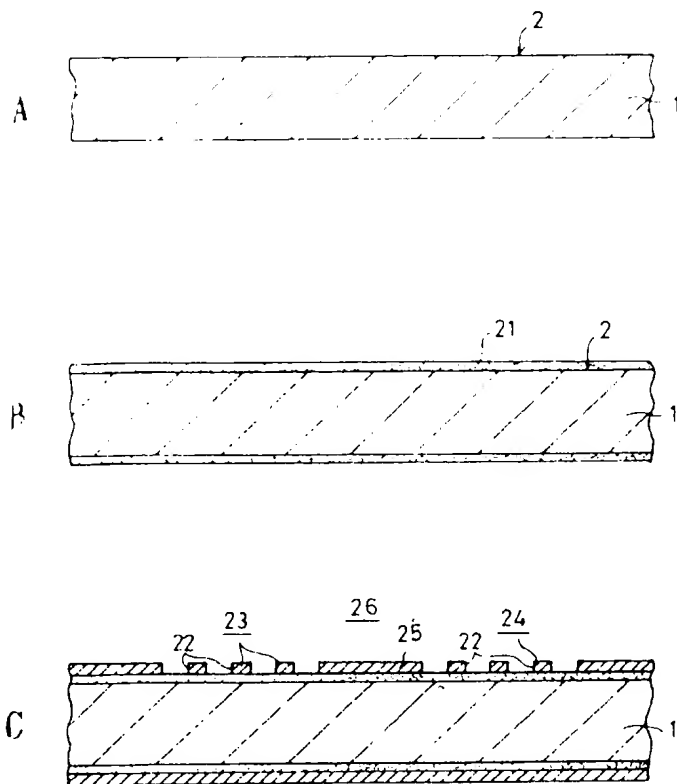
向上述に加ては本発明の一例を示したに留まり、第 4 図及び第 5 図に示す如く、第 1 図及び第 2 図の場合の第 1 の領域 4 及び 5 と同様の領域を領域 4 1、4 2、4 3 及び 4 4 として 4 つ形成し、これに応じて第 1 図及び第 2 図の場合の領域 7 を十字状に直交せる領域 4 5 として形成した構成とすることも出来、その他種々の変形変更をなし得るであろう。

4. 図面の簡単な説明

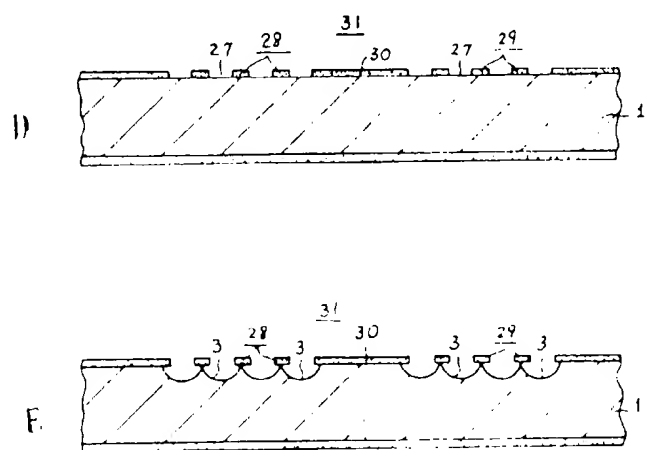
第 1 図及び第 2 図は本発明の一例を示す略観的平面図及びその横断面図、第 3 図はその製造の一例を示す断面図、第 4 図及び第 5 図は本発明の他の例を示す略観的平面図及びその断面図である。



第 3 図



第 3 図



第 4 図

